

⑫ 公開特許公報(A)

平1-154212

⑤ Int. Cl.⁴G 06 F 1/00
15/06

識別記号

3 5 0
3 2 0

庁内整理番号

B-7459-5B
P-7343-5B

④ 公開 平成1年(1989)6月16日

審査請求 未請求 発明の数 1 (全6頁)

⑥ 発明の名称 マイクロプロセッサのリセット方式

⑦ 特 願 昭62-312031

⑧ 出 願 昭62(1987)12月11日

⑨ 発 明 者 吉 村 純 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑩ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑪ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

マイクロプロセッサのリセット方式

2. 特許請求の範囲

1. 電源投入時のパワーオンリセットおよびリセットスイッチ操作時のマニュアルリセットの両機能を有し、パワーオンリセット時のみ初期化プログラムが実行されるマイクロプロセッサ(10)であって、

パワーオンの後一定時間($\tau 2$)経過すると第1ステータス(S1)から第2ステータス(S2)に切り替わるタイマー部(21)を備え、

該タイマー部(21)のステータスを読み取って、前記第1ステータス(S1)であるときは初期化プログラムを実行し、一方、前記第2ステータス(S2)であるときは該初期化プログラムの直後のステップを実行することを特徴とするマイクロプロセッサのリセット方式。

2. 前記パワーオンリセットおよび前記マニュアルリセットをかけるまでの時間を $\tau 1$ とすると、

前記一定時間 $\tau 2$ を、 $\tau 2 > \tau 1$ に設定する特許請求の範囲第1項記載のリセット方式。

3. 前記マイクロプロセッサ(10)内の中央処理部(11)は、該マイクロプロセッサ(10)内のROM(12)に格納された前記初期化プログラムの直前の条件分岐プログラム(P)を実行し、該条件分岐プログラム(P)のもとで前記タイマー部(21)をアクセスし前記第1または第2ステータス(S1, S2)を読み取る特許請求の範囲第1項記載のリセット方式。

4. 前記時間 $\tau 2$ をCR時定数回路(34)で規定する特許請求の範囲第1項記載のリセット方式。

3. 発明の詳細な説明

(概 要)

パワーオンリセット機能およびマニュアルリセット機能を有するマイクロプロセッサのリセット方式に関し、

パワーオンリセットとマニュアルリセットを区別でき、パワーオンリセット時の初期化は、マニュアルリセット時においては行わないようにした

リセット方式を提供することを目的とし、

パワーオンの後一定時間経過すると第1ステータスから第2ステータスに切り替わるタイマー部を備え、該タイマー部のステータスを読み取って、前記第1ステータスであるときは初期化プログラムを実行し、一方、前記第2ステータスであるときは該初期化プログラムの直後のステップを実行するように構成する。

(産業上の利用分野)

本発明はパワーオンリセット機能およびマニュアルリセット機能を有するマイクロプロセッサのリセット方式に関する。

マイクロプロセッサは、中央処理部(CPU)、ROM(Read Only Memory)、RAM(Random Access Memory)、入出力部(Input/Output)等から構成され、ROM内に格納されたプログラムを実行するのが一般的である。

プログラムの実行に際してはRAM、I/O、外部回路等の初期化が行われるが、通常は電源投

入時のパワーオンリセットまたはリセットスイッチ操作時のマニュアルリセットがその初期化の機能を果たす。後者のリセットスイッチ操作時とは、例えばCPUの暴走時等のオベレークによりリセットスイッチが押されることを意味する。本発明は上記のマイクロプロセッサにおけるリセット手法について言及する。

(従来技術)

第5図はマイクロプロセッサの一般的な構成を示す図である。本図において、マイクロプロセッサ10は図示するとおり、中央処理部(CPU)11と、プログラムを格納するROM12と、データの一時記憶を行うRAM13と、データの入出力部(I/O)14とからなり、これらはアドレス・データバスADBによって結ばれる。

第5図中、本発明に特に関連するのはリセット回路15であり、CR時定数回路16とリセットスイッチ17とからなる。

第6図は一般的なマイクロプロセッサのリセッ

ト動作を説明するためのタイムチャートである。本図を参照すると、第5図のマイクロプロセッサ10では次のようにリセット動作が行われる。まず、電源投入が行われたとすると((2)欄のPOW-ON)、CR時定数回路16での充電電圧がスレッシュホールドレベル((1)欄のTH)に至るまで、CPUリセット状態となる((4)欄のハッチングの部分)。これにより初期化プログラムが実行され((5)欄の初期化)、RAM、I/O、その他外部回路等が初期化される。

次に、電源投入以外の要因でリセットをかける必要があるとき、オベレータはリセットスイッチ17を操作(オン)し、CPUリセットを行う。いわゆるマニュアルリセットである。このときも、前記パワーオンリセットと全く等価な状態となり、初期化プログラムの実行によるRAM、I/O、外部回路等の初期化が行われる。

(発明が解決しようとする問題点)

上述したマイクロプロセッサのリセット動作は

極めて一般的であり、広範に行われている。ところがある種の装置に組み込まれるマイクロプロセッサとしては、上述した一般的なリセット動作では都合が悪いことがある。つまり、パワーオンリセットもマニュアルリセットも全く同様の初期化を行ったのでは都合が悪いことがある。

具体例を挙げると、伝送端局装置内の警報等を行う回路に組み込まれるマイクロプロセッサにおいては、何らかの異常で警報表示がある時に、マイクロプロセッサが暴走した場合、オベレータはマイクロプロセッサをリセットするためにリセットスイッチ17を押す。そうすると、その警報表示はマニュアルリセットにより、初期化のプログラムが実行され再び消えてしまう。これではどこが異常かを示す警報表示が消えてしまい、異常の修復不能という問題を生じさせる。またもう1つの例としては、二重化されている回路系で、現用系に故障が生じたとき、予備系に自動的に切り替わる機能を有する回路に組み込まれるマイクロプロセッサにおいては、自動切替の後にマイクロ

ロセッサが暴走した場合、その故障を発見したオペレータがマニュアルリセットを行うと、初期化のプログラムが実行され、前記回路系は、故障の回復をせぬまま再び現用系に切り戻されてしまい、通信サービスを著しく悪化させてしまうという問題がある。

本発明はパワーオンリセットとマニュアルリセットを区別でき、パワーオンリセット時の初期化は、マニュアルリセット時においては行わないようにしたりセット方式を提供することを目的とするものである。

(問題点を解決するための手段)

第1図は本発明の原理構成を図解的に示す図である。新たに導入されたのはタイマー部21と、ROM 12内に格納された条件分岐プログラムPである。条件分岐プログラムPは初期化プログラムの前に置かれ、初期化プログラムを実行するか、または初期化プログラムを実行せず、その直後のステップ①に飛ぶかのいずれかを判断する。この判

断の対象はタイマー部21によって表示されるステータスである。このステータスは第1ステータスS1か、第2ステータスS2であり、第1ステータスS1はパワーオン(電源投入)後の一定時間経過までであり、その後は第2ステータスS2を表示する。電源断後、再びパワーオンすれば第1ステータスS1になる。

(作用)

第1ステータスS1のもとでリセット回路15が働くときは、パワーオンによるリセットであることが分かる。パワーオンからしばらく経って、第2ステータスS2のもとでリセット回路15が働くときは、リセットスイッチ17によるリセット(マニュアルリセット)であることが分かる。パワーオンリセットであると分かれば初期化プログラムを実行する。一方、マニュアルリセットであることが分かれば初期化プログラムを実行することなく、その直後のステップ①を実行する。

かくして、既述の例によれば、せっかく点灯し

た警報表示を消してしまうとか、予備系のもとで正常動作を維持しているのに、わざわざ故障のある現用系に切り戻してしまう等の問題が解決される。なぜなら、マニュアルリセット時と分かれば、警報ランプの消灯や現用系への切り戻しを伴う初期化プログラムを実行しないからである。

(実施例)

第2図は本発明を実施するためのマイクロプロセッサの一構成例を示す図である。本図において、既述の構成要素と同様のものには同一の参照番号または記号を付して示す。本発明に係るタイマー部21は図示の位置にあり、ステータス(S1またはS2)の読取りはCPU 11により、データバスDBを介して行われる。この読取りは、アドレスデコーダ22によりタイマー部21がアクセスされたことを検出したときに行われる。すなわち、CPU 11はアドレスバスABを介し、タイマー部21に予め割当てたアドレスを送出、このアドレスをアドレスデコーダ22が検出したとき、ステータス(S1またはS2)がデータバスDBに出

力される。リセット時の動作は次のとおりである。

第3図は本発明に係るマイクロプロセッサのリセット動作を説明するためのタイムチャートである。第6図のタイムチャートと異なるのは、(5)欄のプログラムにおいて、条件分岐プログラムPが挿入された点と、(6)欄のタイマー部21に対する読取り動作が加えられた点と、(7)欄のステータス情報が判断対象になった点と、マニュアルリセット(リセットスイッチSWのON)時に初期化プログラムが実行されない点((8)欄の×印参照)である。時刻t1((2)欄)におけるリセットのもとでの条件分岐プログラムPにおいて、ステータスを読み取るとS1である。このためCPU 11は、現在のリセットはパワーオンによるリセットであることを知り、初期化プログラムを走らせる。この場合、S1の継続時間((7)欄のr2)は、本来のCR時定数回路16によりリセットをかけるまでの時間((1)欄のr1)より長く、すなわち $r2 > r1$ に設定する。 $r2 < r1$ に設定すると、パワーオンリセットであるにも拘

らず、第2ステータスS2を検出してしまおうおそれがあるからである。

時刻t2(3)欄におけるリセットのもとでの条件分岐プログラムPにおいて、ステータスを読み取るとS2である。このためCPU11は、現在のリセットはマニュアルリセットによるリセットであることを知り、初期化プログラムの実行を省略し、その直後のステップに飛ぶ。

第4図はアドレスデコードおよびタイマー部の一例を示す図であり、アドレスバスABからのアドレスをビット対応で第1入力に受信する複数のEXORゲート31とORゲート32とを有し、各EXORゲート31の第2入力にはディップスイッチ33の対応する各出力が印加される。ディップスイッチ33のオン、オフは、タイマー部21に予め割り当てられたアドレスビットの"1"・"0"パターンに合わせて設定される。タイマー部21をアクセスするアドレスがアドレスバスABを介しCPU11より与えられると、全EXORゲート31の出力が"0"となりORゲート32の出力が初めて

"0"となる。このときがタイマー部21の読取り時であり、CR時定数回路34の充電電圧がステータス情報としてORゲート35よりデータバスDBに送出される。充電電圧が十分上がり切っておらず、ORゲート35の出力を"1"にするまでに至っていないときは第1ステータスS1である。パワーオン後十分時間が経ていれば、充電電圧は電源レベルまで上昇し、ORゲート35の出力を"1"とする。これは第2ステータスS2を表す。本図のCR時定数回路34の時定数τ2は、第3図の(7)に示したとおりである。

アドレスデコード22として第4図ではディップスイッチを用いた場合を示したが、一旦定めたタイマー部21のアドレスを以後変更することがないのならば、単なるICデコードを用いて実現できる。

(発明の効果)

以上説明したように本発明によれば、パワーオンリセットとマニュアルリセットとをCPU自身

が判別でき、利用用途を一層広げたマイクロプロセッサが実現される。

4. 図面の簡単な説明

第1図は本発明の原理構成を図解的に示す図、

第2図は本発明を実施するためのマイクロプロセッサの一構成例を示す図、

第3図は本発明に係るマイクロプロセッサのリセット動作を説明するためのタイムチャート、

第4図はアドレスデコードおよびタイマー部の一例を示す図、

第5図はマイクロプロセッサの一般的な構成を示す図、

第6図は一般的なマイクロプロセッサのリセット動作を説明するためのタイムチャートである。

図において、

- 10…マイクロプロセッサ、
- 11…中央処理部、
- 12…ROM、
- 15…リセット回路、
- 17…リセットスイッチ、

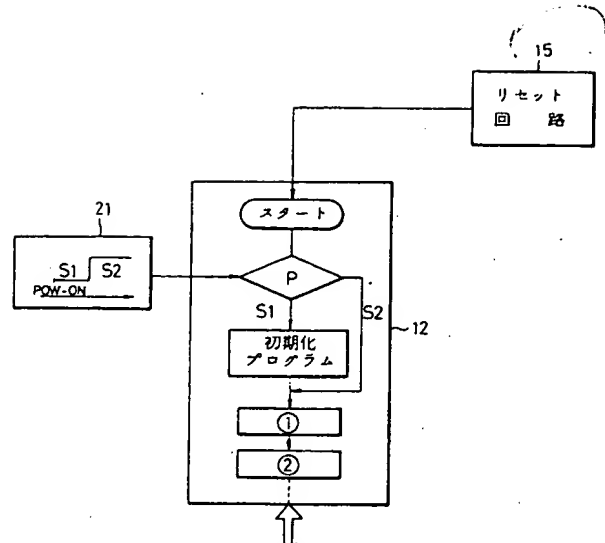
- 21…タイマー部、
- 22…アドレスデコード、
- 34…CR時定数回路、
- P…条件分岐プログラム、
- S1…第1ステータス、
- S2…第2ステータス。

特許出願人

富士通株式会社

特許出願代理人

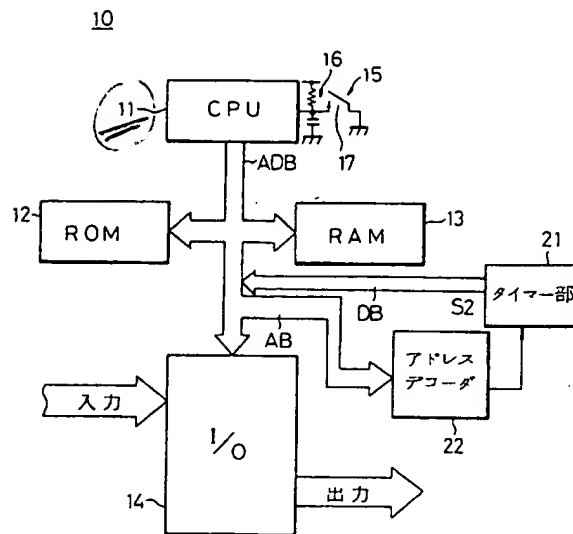
弁理士 青 木 朗
 弁理士 西 舘 和 之
 弁理士 内 田 幸 男
 弁理士 山 口 昭 之



本発明の原理構成を図解的に示す図

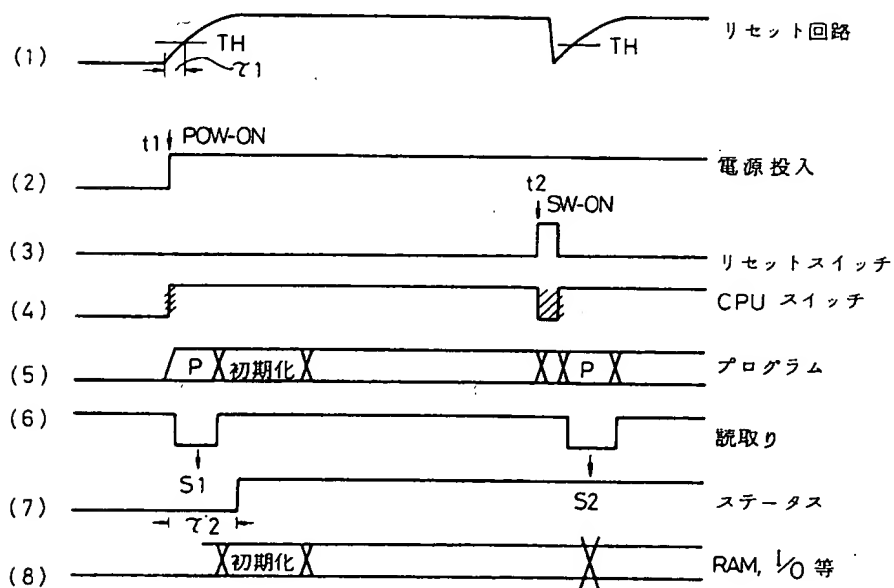
第1図

12… ROM
21… タイマー部
P… 条件分岐プログラム
S1… 第1ステータス
S2… 第2ステータス



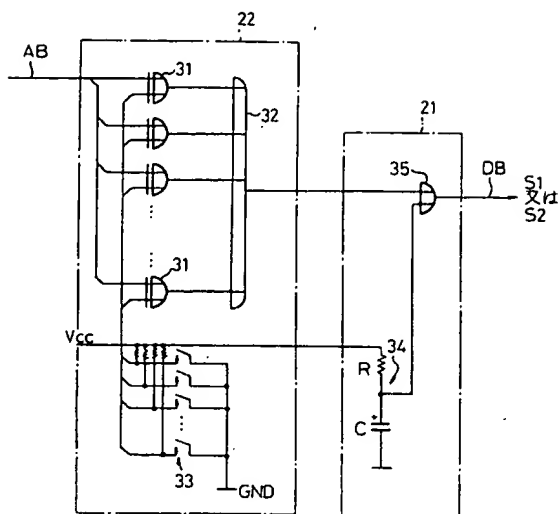
本発明を実施するためのマイクロプロセッサの一構成例を示す図

第2図



本発明に係るマイクロプロセッサのリセット動作を説明するためのタイムチャート

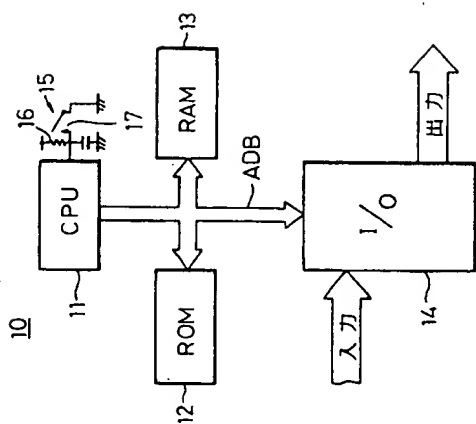
第3図



アドレスデコードおよびタイマー部の一例を示す図

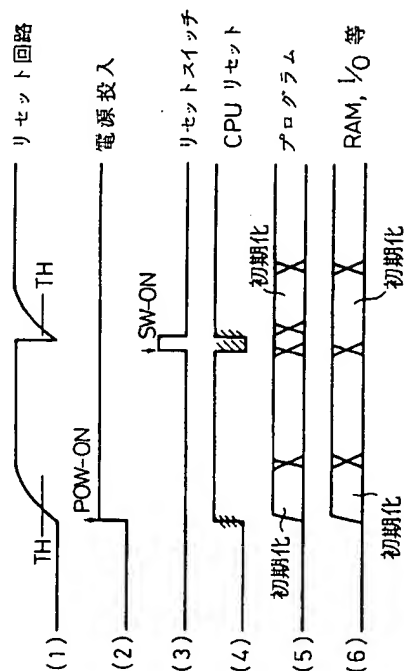
第4図

- 21- タイマー部
- 22- アドレスデコード
- 34- C R 時定数回路



マイクロプロセッサの一般的な構成を示す図

第5図



一般的なマイクロプロセッサのリセット動作を説明するためのタイムチャート

第6図